

DERWENT-ACC-NO: 1982-F4110E
DERWENT-WEEK: 198219
COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Integrated circuit with attenuation resistance - is set with precision by adjusting size and dopant concentration of given channel

INVENTOR: CHEN, C Y C; DHAKA, V A ; KROLIKOWSK, W F

PATENT-ASSIGNEE: IBM CORP[IBMC]

PRIORITY-DATA: 1970US-0005453 (January 26, 1970)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES
MAIN-IPC			
DE 2101278 C	May 6, 1982	N/A	005 N/A

INT-CL_(IPC): H01L021/74; H01L027/06

ABSTRACTED-PUB-NO: DE 2101278C

BASIC-ABSTRACT: The integrated circuit has its first epitaxial layer (15) given a high resistivity. A p+ channel (18) extends across the first epitaxial layer as far as the p+ zone (13) acting as decoupling capacitor. The p+ channel has a much higher impurity concentration than the first epitaxial layer and it forms an attenuating resistor.

The first epitaxial layer may be n- or p- or it may be self-conducting. Insulating p+ channels (19a-19c, 25a-25c) pass through both epitaxial layers and are connected to the p+ zone acting as decoupling capacitor. The advantage lies in being able to set the value of the attenuating resistor very precisely by adjusting the size of the p+ channel and its dopant concentration and to do so without introducing additional production stages.PS

CHOSEN-DRAWING: Dwg.7

TITLE-TERMS:

INTEGRATE CIRCUIT ATTENUATE RESISTANCE SET PRECISION ADJUST SIZE DOPE CONCENTRATE CHANNEL

DERWENT-CLASS: U11 U12 U13

EPI-CODES: U11-C; U12-D01A; U13-D01;

⑩

Int. Cl.:

H 01 I, 19/00

BUNDESREPUBLIK DEUTSCHLAND

DEUTSCHES PATENTAMT



⑪

Deutsche Kl.: 21 g. 11/02

⑫

⑩

Offenlegungsschrift 2101 278

⑪

Aktenzeichen: P 21 01 278.2

⑫

Anmeldetag: 13. Januar 1971

⑬

Offenlegungstag: 5. August 1971

Ausstellungsriorität: —

⑭

Unionspriorität

⑮

Datum: 26. Januar 1970

⑯

Land: V. St. v. Amerika

⑰

Aktenzeichen: 5453

⑲ Bezeichnung: Integrierte Halbleiteranordnung und Verfahren zu ihrer Herstellung

⑳ Zusatz zu: —

㉑ Ausscheidung aus: —

㉒ Anmelder: International Business Machines Corp., Armonk, N. Y. (V. St. A.)

㉓ Vertreter: Gaugel, H., Dipl.-Ing., Patentassessor, 7030 Böblingen

㉔ Als Erfinder benannt: Chen, Charles Yu-Cheng, Putnam Valley; Dhaka, Vir Abhimanyu; Krolkowski, Walter Frank; Hopewell Junction; N. Y. (V. St. A.)

Benachrichtigung gemäß Art. 7 § 1 Abs. 2 Nr. 1 d. Ges. v. 4. 9. 1967 (BGBI. I S. 960): —

DT 2101 278

2101278

IBM Deutschland *Internationale Büro-Maschinen Gesellschaft mbH*

Böblingen, den 4. Januar 1971
gg-schu

Anmelderin: International Business Machines
Corporation, Armonk, N.Y. 10504

Amtliches Aktenzeichen: Neu anmeldung

Aktenzeichen der Anmelderin: Docket FI 969 070

Integrierte Halbleiteranordnung und Verfahren zu ihrer Herstellung

Die Erfindung betrifft eine integrierte Halbleiteranordnung mit integrierter, parallelgeschalteter, der Störspannungsunterdrückung dienender Serienschaltung eines Dämpfungswiderstandes und einer Entkopplungskapazität.

Bei vielen integrierten Halbleiteranordnungen wird auf einem N^+ -Substrat eine P^- -Epitaxieschicht aufgewachsen, wobei die Epitaxieschicht selbst als Dämpfungswiderstand dient, der in Serie zu einer Entkopplungskapazität liegt. Bei Schaltvorgängen in der Halbleiteranordnung werden in Folge der vorhandenen Induktanzen Störspannungen erzeugt. Eine Serienschaltung aus Dämpfungswiderstand und Entkopplungskapazität ist geeignet, diese Störspannungen zu unterdrücken, wenn diese Serienschaltung parallel zur Halbleiteranordnung geschaltet ist. Der Wert des Dämpfungswiderstandes ist von Wichtigkeit, da er für die bewirkte Dämpfung maßgeblich ist.

Bei Halbleiteranordnungen, bei denen derartige Maßnahmen vorgenommen werden müssen, hat es sich gezeigt, daß es außerordentlich

109832/1519

- 2 -

schwierig ist, die aufzuwachsende P⁻-Epitaxieschicht hinsichtlich ihrer Dicke und ihres spezifischen Widerstandes so exakt festzulegen, daß die erforderlichen elektrischen Eigenschaften erreicht werden.

Zur Lösung dieses Problems ist bereits vorgeschlagen worden, den Schichtwiderstand der P⁺-dotierten Seite einer Entkopplungskapazität als Dämpfungswiderstand zu verwenden. In diesem Fall wirkt die P⁻-Epitaxieschicht nicht mehr als Serienwiderstand. Ein derariter Aufbau weist jedoch mehrere Nachteile auf. Zunächst ist es schwierig, den Wert des Dämpfungswiderstandes festzulegen. Außerdem ist die zwischen den einzelnen Anordnungen auftretende kapazitive Kopplung zu groß, um Anordnungen hoher Schaltgeschwindigkeit zu erhalten. Schließlich ist es bei bekannten Anordnungen erforderlich, daß die unterhalb den in der Oberfläche der integrierten Anordnung gebildeten Transistoren und Widerständen liegende Entkopplungskapazität sehr großflächig ist und daß die Energiezufuhr von der Rückseite des Substrats aus erfolgen muß.

Es ist die der Erfindung zugrunde liegende Aufgabe, bei einer mehrschichtigen, integrierten Halbleiteranordnung eine die die Störspannungsunterdrückung bewirkende Serienschaltung eines Dämpfungswiderstandes und einer Entkopplungskapazität vorzusehen, die die genannten Nachteile der bekannten Anordnungen nicht aufweist.

Gemäß der Erfindung wird diese Aufgabe dadurch gelöst, daß die integrierte Halbleiteranordnung eine in einem Halbleitersubstrat liegende, als Entkopplungskapazität verwendete P⁺-Zone, eine auf der Substratoberfläche aufgewachsene erste Epitaxieschicht, eine auf der ersten aufgewachsene zweite N⁻-Epitaxieschicht und einen beide Epitaxieschichten durchquerenden, als Dämpfungswiderstand verwendeten und bis in die Entkopplungskapazitätszone reichenden P⁺-Kanal enthält und daß in der zweiten Epitaxieschicht, die die

- 3 -

Halbleiteranordnung vervollständigenden Halbleiterelemente angeordnet sind.

Die erste Epitaxieschicht ist vorteilhafterweise vom N⁻ - oder P⁻-Leitfähigkeitstyp. Es kann sich auch um eine Intrinsic-Schicht handeln.

Vorteilhafte Ausführungsbeispiele bestehen darin, daß zusätzliche, die Halbleiterelemente isolierende P⁺-Isolationskanäle durch beide Epitaxieschichten getrieben sind und mit der als Entkopplungskapazität verwendeten P⁺-Zone in Verbindung stehen. Weiterhin können zusätzliche, der Stromverteilung dienende N⁺-Kanäle vom Substrat ausgehend beide Epitaxieschichten durchqueren.

Ein vorteilhaftes Verfahren zur Herstellung der integrierten Halbleiteranordnung besteht darin, daß in das Substrat die die Entkopplungskapazität bildende P⁺-Zone eingebracht wird, daß auf das Substrat die erste Epitaxieschicht aufgewachsen wird, in die die P⁺-Zone ausdiffundiert, daß in die erste Epitaxieschicht ein einen Teil des Dämpfungswiderstandes bildender P⁺-Kanal eingebracht wird, daß auf die erste die zweite Epitxieschicht aufgewachsen wird, in die der P⁺-Kanal ausdiffundiert, daß in die zweite Epitaxieschicht ein den P⁺-Kanal bis zur Oberfläche fortsetzender P⁺-Kanal eingebracht wird, und daß in der zweiten Epitaxie-schicht die die Halbleiterelemente bildenden Halbleiterzonen eingebracht werden.

Ein Ausführungsbeispiel des erfindungsgemäßen Verfahrens besteht darin, daß jeweils gleichzeitig mit den den Dämpfungswiderstand bildenden P⁺-Kanälen entsprechend dotierte P⁺-Isolationszonen eingebracht werden.

Insbesondere ist es von Vorteil, daß die den Dämpfungswiderstand bildenden P⁺-Kanäle und die die Entkopplungskapazität bildende P⁺-Zone durch Diffusionen hergestellt werden.

- 4 -

Ein wesentlicher Vorteil der Erfindung liegt darin, daß nicht eine ganze Schicht, sondern daß ein beispielsweise durch Diffusion herstellbarer P⁺-Kanal als Dämpfungswiderstand verwendet wird, dessen Eigenschaften sich leicht bestimmen und einhalten lassen.

Vorteile der Erfindung ergeben sich aus der nachstehenden Beschreibung eines in der Zeichnung dargestellten Ausführungsbeispiels. Dabei zeigen die Figuren 1 - 7 ein Ausführungsbeispiel einer erfindungsgemäßen integrierten Halbleiteranordnung in einzelnen, aufeinanderfolgenden Verfahrensschritten.

Der Herstellungsprozeß beginnt in Schritt eins mit der Vorbereitung eines N⁺-dotierten Siliciumsubstrat 11 mit einem typischen, spezifischen Widerstand von 0,01 Ohm-cm. Die Dicke und der spezifische Widerstand stellen unkritische Größen dar. Der spezifische Widerstand sollte jedoch um oder unter 0,01 Ohm-cm betragen.

Im Schritt zwei ist auf der Oberfläche des Substrats 11 eine Maske 12 aufgebracht, die aus Siliciumdioxyd besteht und etwa eine Dicke von 5000 Å aufweist. Es wird zunächst eine P⁺-Bor-diffusion in das N⁺-Substrat durchgeführt. Dabei entsteht ein Übergang mit einer Ausdehnung von etwa 2,5 x 2,5 mm, der die Entkopplungskapazität 13 bildet. Die Diffusion erfolgt bei hoher Temperatur (1100 °C) in einer die Bor-Störstellen enthaltenden Gasatmosphäre mit einer Oberflächenkonzentration von 10¹⁹ Atomen/cm³ und mit einer Tiefe von 1 . Anstelle von Bor könnte auch Indium oder Gallium verwendet werden, wobei unterschiedliches Maskenmaterial zu verwenden wäre. Nach Bildung der P⁺-Zone wird die Maske 12 erneuert und erhält eine Maskenöffnung im Bereich des einzudiffundierenden N⁺-Kanals 14. Es erfolgt eine Diffusion von Phosphor bei 1000 °C aus einer POCl₃-Atmosphäre, wobei eine Störstellenkonzentration von 10²⁰ Atomen/cm³ erreicht wird. Anstelle von Phosphor kann als Dotierungsmaterial beispielsweise auch Arsen verwendet werden.

10832/1519
Docket 969 070

- 5 -

Der N⁺-Kanal 14 beeinflußt die Stromverteilung an der Unterseite des Substrats 11. Die Diffusionstiefe des Kanals 14 beträgt mehrere Mikron.

Im Schritt drei wird die Maske 12 vollständig entfernt. Anschließend wird eine Intrinsic-Epitaxieschicht oder eine nur schwach N⁻ - oder P⁻-dotierte Epitaxieschicht mit hohem spezifischen Widerstand auf dem Substrat 11 aufgewachsen. An diese Stelle wird der wesentlichste Vorteil gegenüber bekannten Halbleiteranordnungen erzielt. Bei bekannten Anordnungen wird diese ganze Epitaxieschicht 15 als Dämpfungswiderstand verwendet. Das bedeutet, daß die kritischen Toleranzen der Dicke und des spezifischen Widerstandes der Schicht genau eingehalten werden müssen. Selbstverständlich muß es sich dabei um eine P⁻-dotierte Schicht handeln. Bei der erfindungsgemäßen Halbleiteranordnung dagegen, wird diese Epitaxieschicht 15 nicht als Dämpfungswiderstand verwendet und sie muß nicht notwendigerweise P⁻-dotiert sein. Außerdem kann es sich um eine Intrinsic-Epitaxieschicht handeln, obgleich auch eine schwache P⁻- oder N⁻-Dotierung vorhanden sein kann. Beim betrachteten Ausführungsbeispiel wird die Intrinsic-Epitaxieschicht 15 durch Reduktion von SiH₄ bei 1150 °C aufgewachsen. Die Dicke der Epitaxieschicht beträgt etwa 6 Mikron. Diese Dicke ist außerordentlich unkritisch, wenn für einen ausreichend hohen spezifischen Widerstand und für eine ausreichende Dicke gesorgt wird, um die kapazitive Kopplung zwischen den aktiven Elementen und der Entkopplungskapazität zu reduzieren. Im allgemeinen kann die Dicke zwischen 5 und 7 Mikron betragen. Der spezifische Widerstand kann im Bereich von 1 - 100 Ohm-cm liegen, minimale spezifische Widerstände von 10 - 15 Ohm-cm sind vorzuziehen. Beim betrachteten Ausführungsbeispiel beträgt der spezifische Widerstand 10 Ohm-cm.

Wie durch die gestrichelten Linien unmittelbar am Anschluß der diffundierten P⁺-Zone 13 angedeutet, erfolgt eine Ausdiffusion der P⁺-Phosphorzone 13 in die aus Silicium bestehende Epitaxie-

- 6 -

schicht 15. Diese Ausdiffusion ist von wesentlicher Bedeutung für den Gegenstand der Erfindung. Es ist wichtig, daß diese Ausdiffusion in den nachfolgenden Prozeßschritten nicht über den Bereich der Intrinsic-Epitaxieschicht 15 hinaus erfolgt. Beim betrachteten Ausführungsbeispiel erstreckt sich die Ausdiffusion etwa 2 bis 3 Mikron in die Epitaxieschicht 15 hinein.

Wie aus Schritt vier zu ersehen ist, wird in die Epitaxieschicht 15 ein N⁺-Kanal 16 eindiffundiert, der die Stromverteilung beeinflußt. Als Dotierungsmaterial dient beispielsweise Phosphor. Die erzielte Konzentration beträgt 10^{20} Atome/cm³. Die Diffusion erfolgt bei 1000 °C. Selbstverständlich muß auch bei dieser Diffusion zunächst eine geeignete Maske aufgebracht werden.

Im Schritt vier erfolgt auch nach geeigneter Maskierung die Diffusion des N⁺-Subkollektors 17. Als Dotierungsmaterial dient Arsen. Die Konzentration beträgt 10^{21} Atome/cm³. Die Diffusions temperatur beträgt 1100 °C.

An dieser Stelle muß auf ein weiteres, wesentliches, erfindungsgemäßes Merkmal eingegangen werden. Dieses Merkmal besteht darin, daß ein P⁺-Kanal 18 gebildet wird, der den Dämpfungswiderstand bildet und mit der die Entkopplungskapazität bildenden P⁺-Zone 13 zusammenwirkt. Dieser Kanal weist eine Störstellenkonzentration auf, die wesentlich höher ist als die der sie umgebenden Epitaxieschicht 15 und beispielsweise $10^{18} - 10^{19}$ Atome/cm³ beträgt. Die absolute Höhe dieser Störstellenkonzentration ist unkritisch. Beim betrachteten Ausführungsbeispiel wird der Kanal 18 durch Diffusion von Bor bei etwa 1050 °C gebildet. Gleichzeitig mit der Diffusion des Dämpfungswiderstandes werden die Isolationsdiffusionen 19a und 19b durchgeführt, die eine Isolation gegenüber weiteren, auf dem Substrat untergebrachten integrierten Schaltungen bewirken. Durch die gleichzeitige Diffusion dieser Isolationszonen und des den Dämpfungswiderstand bildenden Kanals 18 wird das erfindungsgemäße Verfahren vereinfacht.

Es sei hier noch einmal darauf hingewiesen, daß der Dämpfungswiderstand 18 das erfindungsgemäße Merkmal darstellt, das die größten Vorteile gegenüber bekannten Strukturen bietet. Bei den bekannten Strukturen wird die gesamte Epitaxieschicht 15 selbst als Dämpfungswiderstand verwendet. Die Festlegung dieses Widerstandes ist dabei außerordentlich schwierig. Bei der erfindungsgemäßen Struktur dagegen dient als Dämpfungswiderstand ein besonderer Kanal, dessen Eigenschaften sich über das verwendete Dotierungsmaterial, die Konzentration der Störstellen usw. sehr einfach einstellen lassen.

Energiezuführungs- und Energieabführungsleitungen sind an das Substrat 11 und an ein Element 26 (Figur 7) angeschlossen. Im Gegensatz zu den bekannten Strukturen mit der Epitaxieschicht 15 als Dämpfungswiderstand ergibt sich bei der erfindungsgemäßen Struktur eine definierte Stelle, an der die Energie abgeführt werden kann. Dies ist der Kanal 18, dessen Widerstand durch Erhöhung der Störstellenkonzentration in einfacher Weise erniedrigt, bzw. durch Erniedrigung der Störstellenkonzentration in einfacher Weise erhöht werden kann. Das bedeutet, daß durch die leichte Steuerbarkeit der die Entkopplungskapazität 13 und den Dämpfungswiderstand 18 bildenden Diffusionen eine Halbleiteranordnung erzielt werden kann, deren Toleranzen leicht steuerbar sind, wobei gleichzeitig ein wesentlich vereinfachtes Herstellungsverfahren anwendbar ist. Schließlich kann man feststellen, daß durch die erfindungsgemäße Struktur eine sehr gleimäßige Energieverteilung in bezug auf mehrere in einem gemeinsamen Monolithen untergebrachte Halbleiteranordnungen erreicht werden kann.

Im Verfahrensschritt fünf wird auf der Intrinsic-Epitaxieschicht 15 durch Reduktion von SiH_4 bei 1150°C eine N⁻-Epitaxieschicht 20 aufgewachsen. Als Störstellen dienen Arsen in einer Konzentration von dennoch 15 Atomen/cm³. Die Dicke dieser Epitaxieschicht 20 beträgt etwa 2 Mikron. Während des Aufwachsprozesses erfolgt eine Ausdiffusion der verschiedenen Diffusionszonen aus der

- 8 -

Intrinsic-Epitaxieschicht 15 in die Epitaxieschicht 20. Es handelt sich dabei um die Kanäle 16, 18, 19a, 19b, 19c und um den Subkollektor 17.

Schritt fünf zeigt weiterhin die Bildung eines Widerstandes 21 durch maskierte N- oder P-Diffusion. Die Diffusionstiefe beträgt 10 000 Å. Nach dieser Diffusion und erneuter Bildung einer Maske mit Öffnungen im Bereich des Subkollektors 17 und des N⁺-Kanals 14 erfolgt eine N⁺-Diffusion einer Konzentration von 10²⁰ Atome/cm³. Bei dieser Diffusion wird ein N⁺-Verbindungskanal 22 zum Subkollektor 17 und ein N⁺-Verbindungskanal 23 zum Stromverteilungskanal 14 gebildet.

Im Schritt sechs werden gleichzeitig P⁺-Diffusionen durchgeführt, die die Basis bilden und die Verbindung zur Entkopplungskapazität und den Isolationszonen herstellen. Dazu wird zunächst die Siliciumdioxyschicht 12a auf der Epitaxieschicht 20 erneuert und mit entsprechenden Maskenöffnungen versehen. Durch diese Maskenöffnungen erfolgt die Diffusion von Bor, so daß eine Konzentration von 10¹⁹ Atomen/cm³ erreicht wird. Als Ergebnis erhält man eine P⁺-Basisdiffusion 24, P⁺-Isolationszonen 25a, 25b und 25c, die die Verbindung zu den Isolationszonen 19a, 19b und 19c herstellen, und einen P⁺-Verbindungskanal 26, der über den Dämpfungswiderstand 18 die Verbindung zur Entkopplungskapazitätszone 13 herstellt.

Im Verfahrensschritt sieben erfolgen abschließende Maßnahmen, also z. B. die Diffusion einer N⁺-Emitterzone 27 im Bereich der Basis 24. Außerdem wird der Verbindungskanal 26 mit einem metallischen Kontakt 28 versehen, so daß eine niederohmige Verbindung zur Entkopplungskapazitätszone 13 entsteht. Über eine an der Unterseite der Anordnung angebrachte Metallisierung 29 kann die Stromverteilung erfolgen.

Im beschriebenen Ausführungsbeispiel besteht die mehrlagige Struktur aus Silicium. Selbstverständlich können bei entsprechender Anpassung der Parameter auch andere Halbleitermaterialien ver-

- 9 -

wendet werden. Ebenso sind andere Störstellenmaterialien verwendbar. Auch die Diffusionsprozesse sind durch vergleichbare Prozesse zu ersetzen, wenn dadurch entsprechende, dotierte Zonen gebildet werden. Dasselbe gilt für die epitaktischen Aufwachsprozesse.

- 10 -

P A T E N T A N S P R Ü C H E

- i. Integrierte Halbleiteranordnung mit integrierter, parallelgeschalteter, der Störspannungsunterdrückung dienender Serienenschaltung eines Dämpfungswiderstandes und einer Entkopplungskapazität, dadurch gekennzeichnet, daß sie eine in einem Halbleitersubstrat liegende, als Entkopplungskapazität verwendete P^+ -Zone, eine auf der Substratoberfläche aufgewachsene erste Epitaxieschicht, eine auf der ersten aufgewachsene zweite N^- -Epitaxieschicht und einen beide Epitaxiesichten durchquerenden, als Dämpfungswiderstand verwendeten und bis in die Entkopplungskapazitätszone reichenden P^+ -Kanal enthält und daß in der zweiten Epitaxieschicht die die Halbleiteranordnung vervollständigenden Halbleiterelemente angeordnet sind.
2. Integrierte Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß die erste Epitaxieschicht vom N^- - oder P^- -Leitfähigkeitstyp ist.
3. Integrierte Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß die erste Epitaxieschicht eine Intrinsic-Schicht ist.
4. Integrierte Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß die erste Epitaxieschicht einen spezifischen Widerstand größer 10 Ohm-cm aufweist.
5. Integrierte Halbleiteranordnung nach Anspruch 1, dadurch gekennzeichnet, daß das die Halbleiteranordnung vervollständigende Halbleiterelement ein Transistor ist und sich aus einer entgegengesetzt zur als Entkopplungskapazität verwendeten P^+ -Zone dotierten Emitterzone und einer entsprechend der P^+ -Zone dotierten Basiszone zusammensetzt.

BAD ORIGINAL

6. Integrierte Halbleiteranordnung nach den Ansprüchen 1 - 5, dadurch gekennzeichnet, daß zusätzliche, die Halbleiterelemente isolierende P⁺-Isolationskanäle durch beide Epitaxieschichten getrieben sind und mit der als Entkopplungskapazität verwendeten P⁺-Zone in Verbindung stehen.
7. Integrierte Halbleiteranordnung nach den Ansprüchen 1 - 6, dadurch gekennzeichnet, daß zusätzliche, der Stromverteilung dienende N⁺-Kanäle vom Substrat ausgehend beide Epitaxieschichten durchqueren.
8. Verfahren zur Herstellung integrierter Halbleiteranordnungen nach den Ansprüchen 1 - 8, dadurch gekennzeichnet, daß in das Substrat die die Entkopplungskapazität bildende P⁺-Zone eingebracht wird, daß auf das Substrat die erste Epitaxieschicht aufgewachsen wird, in die die P⁺-Zone ausdiffundiert, daß in die erste Epitaxieschicht ein einen Teil des Dämpfungswiderstandes bildender P⁺-Kanal eingebracht wird, daß auf die erste die zweite Epitaxieschicht aufgewachsen wird, in die der P⁺-Kanal ausdiffundiert, daß in die zweite Epitaxieschicht ein dem P⁺-Kanal bis zur Oberfläche fortsetzender P⁺-Kanal eingebracht wird und daß in die zweite Epitaxieschicht die die Halbleiterelemente bildenden Halbleiterzonen eingebracht werden.
9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß jeweils gleichzeitig mit den den Dämpfungswiderstand bildenden P⁺-Kanälen entsprechend dotierte P⁺-Isolationszonen eingebracht werden.
10. Verfahren nach den Ansprüchen 8 - 9, dadurch gekennzeichnet, daß die den Dämpfungswiderstand bildenden P⁺-Kanäle und die die Entkopplungskapazität bildende P⁺-Zone durch Diffusionen hergestellt werden.

12
Leerseite

2101278

21 8 11-02 AT: 13.01.1971 OT: 05.08.1971

FIG. 1 SCHRITT 1

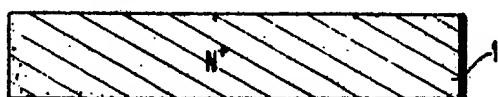


FIG. 3 SCHRITT 3

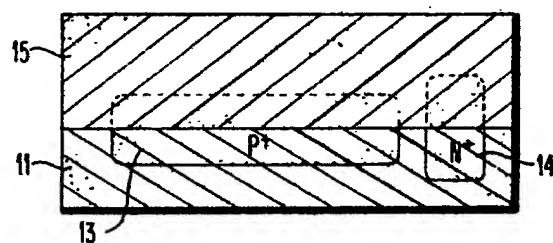
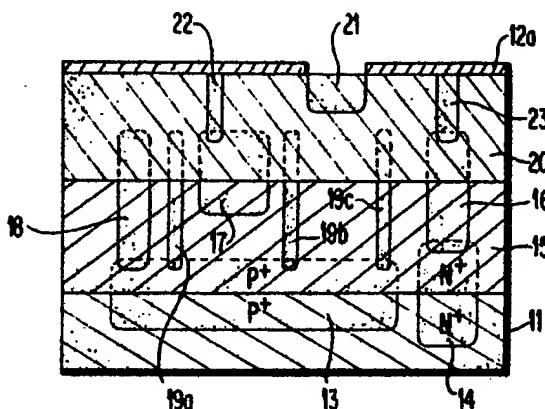


FIG. 4 SCHRITT 4

13

FIG. 5 SCHRITT 5



SCHRITT 6

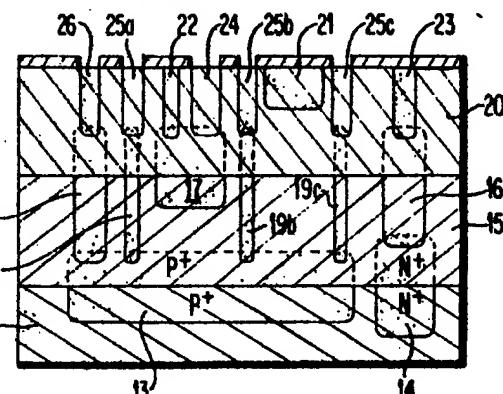
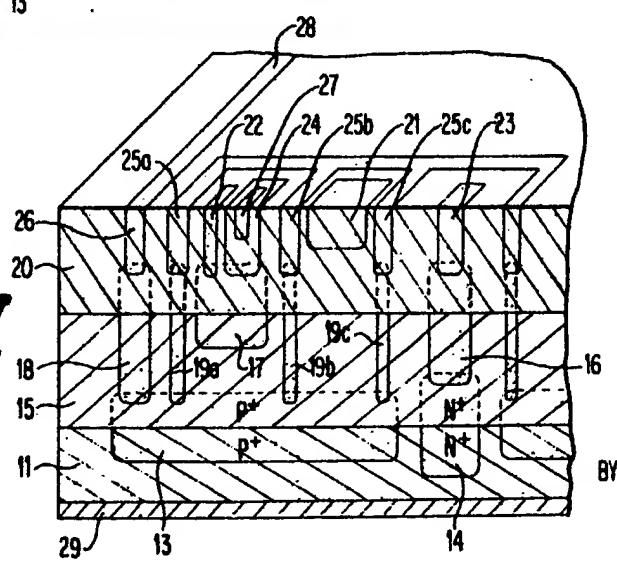


FIG. 7

SCHRITT 7



109332 / 1519